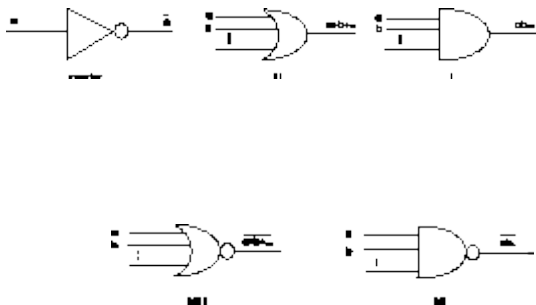


6. Kombinatorne mreže

6.1 Osnovna logička kola

Osnovne operacije Bulove algebre se šematski prikazuju kao na Slici 6.1. Ove operacije su i realizovane kao elektronski uređaji i čine osnovu za izgradnju složenih kombinatornih mreža.



Slika 6.1 Osnovna logička kola

Pored osnovnih operacija dodata su još dva kola NILI i NI jer se pokazalo da se sa svakim od ova dva kola mogu realizovati sva ostala osnovna kola. Tako su NILI i NI zapravo univerzalna kola.

Svaka kombinatorna mreža može biti realizovana uz pomoć gornjih osnovnih kola. Koja će sve kola biti upotrijebljena u konkretnoj mreži, zavisi od projektnih zahtjeva (raspoloživosti kola, cijene, brzine rada, i sl.).

6.2 Analiza kombinatornih mreža

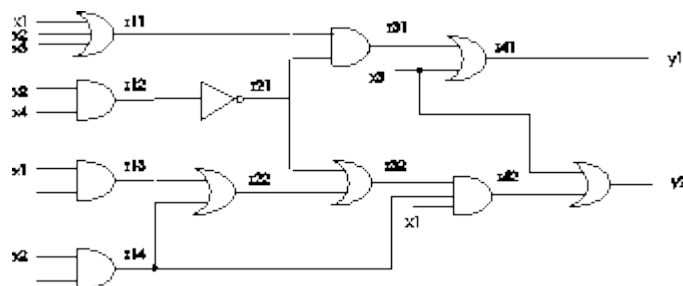
Pod analizom kombinatornih mreža podrazumijevaćemo postupak u kome se za datu kombinatornu mrežu određuje funkcija koju ta mreža realizuje. Jedan sistematski postupak nalaženja funkcije mreže opisuju sljedeći koraci:

Korak 1. Označiti slovima izlaze iz svih osnovnih kola mreže.

Korak 2. Napisati funkcije izlaza svih osnovnih kola.

Korak 3. Uzastopnim zamjenjivanjem u formulama dobijenim u koraku 2 svesti izlazne funkcije na formule u kojima figuriraju samo ulazne promjenljive.

Primjer 1. Za kombinatornu mrežu prikazanu na Slici 6.2 odrediti funkcije izlaza y_1 i y_2 .



Slika 6.2

Primjenimo opisanu proceduru:

Korak 1: Već urađen na Slici 6.2

Korak 2: Funkcije izlaza iz svih logičkih kola

Stepen 1: Stepen 2: Stepen 3: Stepen 4:

$$\begin{aligned}
 z_{11} &= x_1 + x_2 + x_3 & z_{21} &= \bar{z}_{12} & z_{31} &= z_{11} \cdot z_{21} & z_{41} &= x_3 + z_{31} \\
 z_{12} &= x_2 \cdot x_4 & z_{22} &= z_{13} + z_{14} & z_{32} &= z_{21} + z_{22} & z_{42} &= z_{32} \cdot z_{14} \cdot x_1 \\
 z_{13} &= x_1 \cdot x_4 & & & & & & \\
 z_{14} &= x_2 + x_3 & & & & & &
 \end{aligned}$$

Izlazi: $y_1 = z_{41}, y_2 = z_{31} + z_{42}.$

Korak 3: Zamjenom varijabli z, redom u (2),(3),(4) i u formulama izlaza, uz primjenu teorema Bulove algebre, možemo dobiti:

$$\begin{aligned}
 y_1 &= x_3 + \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_4 + x_2 \cdot \bar{x}_4 \\
 y_2 &= x_1 + x_2 \cdot x_3 + x_3 \cdot x_4 + x_2 \cdot x_4
 \end{aligned}$$

6.3 Sinteza kombinatornih mreža

Pod sintezom kombinatornih mreža podrazumijevaćemo postupak nalaženja prekidačkih mreža koje realizuju neku zadatu Bulovu funkciju.

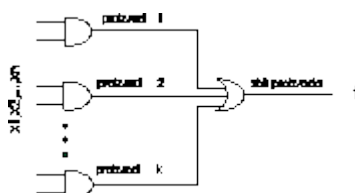
Svaka Bulova funkcija može biti realizovana prekidačkom mrežom na beskonačan mnogo načina. Naravno, mi ćemo, prilikom sintezi pokušati da poštujuemo opisane kriterijume minimalizacije, kao i projektne zahtveje koji nam budu postavljeni.

Jedan mogući sistematski postupak sinteze može biti izražen sljedećim koracima:

Korak 1: Korišćenjem nekog postupka minimalizacije odrediti minimalnu DNF ili KNF zadate funkcije.

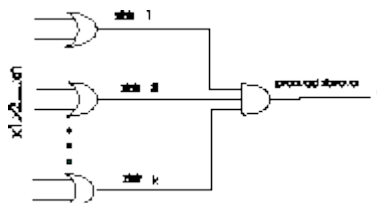
Korak 2: Razlikujemo dva slučaja.

Slučaj 1: Funkcija u DNF-u onda je zapravo prikazana u obliku sume proizvoda pa se može realizovati u dva stepena (Slika 6.3):



Slika 6.3

Slučaj 2: Funkcija u KNF-u onda je zapravo prikazana u obliku sume proizvoda pa se može realizovati u dva stepena (Slika 6.4):



Slika 6.4

Iz sinteza prikazanih na Slici 6.3 i 6.4 moglo bi se pogrešno zaključiti da je svaku prekidačku funkciju moguće realizovati samo sa "I" i "ILI" kolima. Međutim, u DNF i KNF mogu da figuriraju i inverovani ulazi, pa nam je i kolo invertora neophodno.

Osim toga, čest je i slučaj da nam, pri sintezi, stoje na raspolaganju samo neka od osnovnih kola, kao i da je broj ulaza (engleski fan-in) ili izlaza (engleski fan-out) iz pojedinačna kola ograničen.

6.4 Standardni kombinatorni moduli

Neke Bulove funkcije, koje se vrlo često srijeću u praksi, realizovane su kao standardni moduli. Imajući na umu postojanje takvih standardnih modula, pored već navedenih osnovnih kola, postaje jasno da sinteza složenih kombinatornih mreža može biti značajno pojednostavljena. Spajanjem već razvijenih modula na pogodan način ostvaruje se sinteza složenijih kombinatornih mreža. Zato ćemo sada prikazati neke standardne module.

6.4.1 Dekoder

Dekoder (Slika 6.5) je kombinaciona mreža kojom se realizuje sljedeći skup funkcija:

$$D_0 = \bar{x}_1 \cdot \bar{x}_2 \cdots \bar{x}_{n-1} \cdot \bar{x}_n \cdot E$$

$$D_1 = \bar{x}_1 \cdot \bar{x}_2 \cdots \bar{x}_{n-1} \cdot x_n \cdot E$$

...

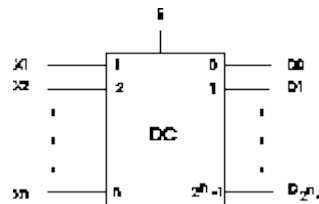
$$D_{2^n-1} = x_1 \cdot x_2 \cdots x_{n-1} \cdot x_n \cdot E$$

gdje su:

$x_1, x_2, \dots, x_{n-1}, x_n$ ulazni signali

$D_0, D_1, \dots, D_{2^n-1}$, izlazni signali

a E signal blokiranja (engleski - enable) mreže, takav da ako je E=0 svi izlazi su 0 bez obzira na ulaz (vidi funkcije izlaza).

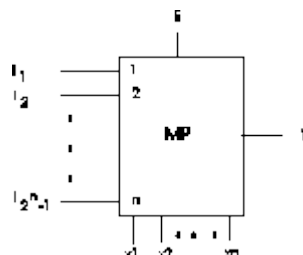


Slika 6.5 Dekoder

Dekoder zapravo "prepoznaje" (dekodira) ulaznu kombinaciju i na izlazu koji odgovara rednom broju prepoznate kombinacije da je 1, a na svim ostalim izlazima 0.

6.4.2 Multiplekser

Multiplexer je kombinatorna mreža koja na osnovu selektorskih signala bira i "propušta" na izlaz jedan od informacionih sigala, Slika 6.6.



Slika 6.6 Multiplexer

Dakle, multiplexer realizuje sljedeću funkciju:

$$Y = \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot \bar{x}_n \cdot I \cdot \bar{E} + \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot x_n \cdot I \cdot \bar{E} + \dots + x_1 \cdot x_2 \cdot \dots \cdot x_n \cdot I \cdot \bar{E}$$

gdje su:

$x_i, i=1,2,\dots,n$ upravljački (kontrolni) signali.

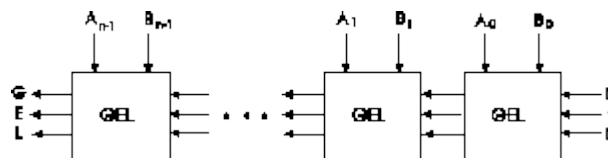
$I_j, j=(0,1,2^n-1)$ informacioni signali.

E , signal blokiranja.

6.4.3 Komparator

Komparator je kombinatorna mreža kojom se porede dva binarna broja i pokazuje njihov odnos. Pri tome se brojevi smatraju nenegativnim.

Obično se komparator realizuje kao serijska veza više istih modula (sa jednim ili više razreda). Na Slici 6.7 prikazana je serijska veza jednorazrednih komparatora za poređenje dva n-bitna broja A i B.



Slika 6.7 Komparator

Na jednom od izlaza G (greater), E (equal), L (less) pojaviće se 1 u zavisnosti da li je broj A veći, jednak ili manji od B, respektivno.

Za realizaciju datu na slici 6.7 G,E i L imaju sljedeću funkcionalnu zavisnost od ulaza A i B.

$$G_{i+1} = A_i \cdot \bar{B}_i + G_i \cdot (A_i \cdot B_i + \bar{A}_i \cdot \bar{B}_i)$$

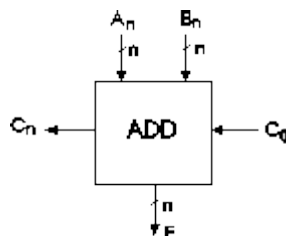
$$E_{i+1} = E_i (A_i B_i + \bar{A}_i \bar{B}_i)$$

$$L_{i+1} = \bar{A}_i \cdot B_i + L_i \cdot (A_i \cdot B_i + \bar{A}_i \cdot \bar{B}_i)$$

uz početne uslove $G_0=0, E_0=1, L_0=0$.

6.4.4 Sabirač

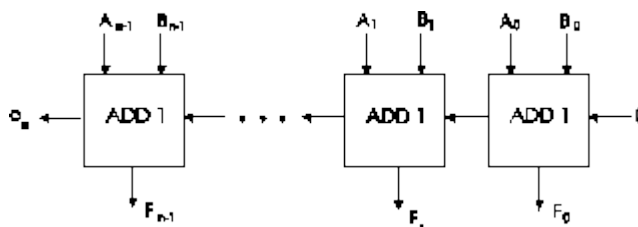
Sabirač je kombinatorna mreža kojom se realizuje operacija sabiranja dva n-bitna binarna broja A i B. Slika 6.8 prikazuje serijsku jednorazrednu realizaciju sabirača.



Slika 6.8 Sabirač

C_0 (carry-in) i C_n (carry-out) su po jedan bit prenosa na ulazu i izlazu iz sabirača. C_0 je bit koji se prenosi iz predhodnog modula, a C_n bit koji se predaje sljedećem modulu. Tako sabirač sa Slike 6.8 prikazuje zapravo n-rezredni sabirač.

Slučaj jednorazredne realizacije sabirača dva n-bitna broja prikazan je na Slici 6.9.



Slika 6.9 Jednorazredna realizacija sabirača

Funkcije F_i i C_{i+1} koje se realizuju u i-tom razredu sabirača sa Slike 6.9 prikazane su tabelarno u Tabeli 6.1. Primjenom Karaugh-ovih karata može se pokazati da se funkcije F_i i C_{i+1} mogu izraziti sljedećim formulama:

$$F_i = A_i \oplus B_i \oplus C_i$$

$$C_{i+1} = A_i \cdot B_i + C_i \cdot (A_i \oplus B_i),$$

uz $C_0 = 0$. Napomena: u gornjim izrazima \oplus označava operaciju "ekskluzivno ili" (ili jedan ili drugi, ali ne oba).

Tabela 6.1

| A_i | B_i | C_i | F_i | C_{i+1} |
|-------|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Ako u formuli za C_{i+1} , sa G_i označimo član $A_i \cdot B_i$, a sa P_i član $A_i \oplus B_i$, onda imamo:

$$C_{i+1} = G_i + C_i \cdot P_i,$$

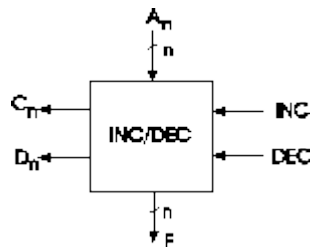
pa se tako mogu napraviti mreže za sabiranje n-bitnih brojeva, kod kojih se C_n dobija kombinatornom mrežom od sabiraka A i B.

Ovo je značajno jer u serijskoj mreži prikazanoj na Slici 6.9 rezultat sabiranja "kasni" zbog čekanja prenosnih bitova (propagaciono kašnjenje). Kombinatorno kolo koje bazira na gornjem rezultatu može imati manje propagaciono kašnjenje, a time i brže sabiranje.

Oduzimanje brojeva, kako smo to već pokazali, se može realizovati sabiračem, ako se umanjilac predhodno invertuje "bit po bit". Mreža "bit po bit" invertora je vrlo jednostavna.

6.4.5 Inkrementeri/Dekrementeri

Inkrementeri/dekrementeri predstavljaju poseban oblik sabirača/oduzimača kod kojeg se datom binarnom broju dodaje/oduzima 1. Slika 6.10 prikazuje šemu inkrementera/dekrementera n-bitnog broja.



Slika 6.10 Inkrementer/dekrementer

Signalima INC i DEC se upravlja mrežom, tako da kada je INC=1 mreža inkrementira, a kada je DEC=1 dekrementira broj A. C_n je bit prenosa za slučaj prekoračenja, a D_n je bit "pozajmice" od narednog modula, za slučaj kada se vrši dekrementiranje za $A=0$.

6.5 Aritmetičko-logička jedinica (ALU)

Aritmetičko-logičkom jedinicom (ALU - Arithmetic Logic Unit) naziva se takva kombinatorna mreža kojom se realizuje neki skup aritmetičkih i logičkih operacija. ALU je važan dio računara u kojem se obavljaju aritmetičke operacije kao sabiranje, oduzimanje ili logičke operacije kao AND, OR i sl. Na Slici 6.11 prikazan je dijagram ALU.

